

Morita Patent

Filed date: June 7, 1990

File number: Tokuganhei 2-149595

Koukai date: February 13, 1992

Koukai number: Tokukaihei 4-42893

Published patent date: April 5, 1995

Koukoku number: Tokukohei 7-29878

Inventor: Etsuro Morita, Mikio Kishimoto, Jiro Ryuta, Yasushi Shimanuki, Toshiro Tanaka

Field of the Invention

Claim 1

Silicon wafers that do not have etch pits on the surface. These wafers are processed from silicon single crystal manufactured by the Czochralski method.

Summary of the Invention

Application of the Invention

This invention is applied for silicon wafers that are used for manufacturing LSI, for the detail, this invention is provided for an improvement of silicon wafers, which are processed from silicon single crystal manufactured by Czochralski method.

Conventional Technology

Conventional Czochralski method silicon wafers were processed from slicing pulled single crystal silicon by slicing machine. These sliced silicon wafers are lapped or ground, furthermore, chemical etching is taken place for the wafers to remove mechanical damage from processing.

And then, these silicon wafers are polished on the surface and cleaned as final processes.

The Issue(s) to be solved by this Invention

However, either high density small defect or low density large defect exists on such conventional Czochralski method silicon wafers. These defects appear on the wafer surface as etch pits by ammonia-based cleaning after polishing.

An electrical characteristic of the silicon wafers is damaged by the defects mentioned

above.

And, as a result, yield is low at the manufacturing of the silicon wafers.

Accordingly, an object of this invention is to provide silicon wafers that have improved electrical characteristic and high yield at their manufacturing.

The Method to Solve Issue(s)

This invention is to provide silicon wafers that do not have etch pits on the surface, which are processed from silicon single crystals pulled by using Czochralski method.

Effects

Regarding the silicon wafers from this invention, no etch pits practically exist on the wafer surface after ammonia-based cleaning after polishing. That is, no defects mentioned above exit near the silicon wafer surface from this invention.

To produce such no etch pits wafers, single crystal silicon pulled by Czochralski method needs to be cooled down at certain cooling rate. For example, during the total cooling period from 1200°C to 800°C of the single crystal silicon, the cooling rate is controlled less than 0.4°C/minite.

As a result, wafers that contains no etch pits, which means no defects, are obtained. Therefore, the electrical characteristic of the wafers is improved and manufacturing yield also improved by this invention.

Example

We explain examples of this invention.

A Czochralski method is used to grow silicon single crystal for this invention.

In this case, total cooling rate from 1200 °C to 800°C during cooling period of the pulling crystal is controlled to less than 0.4°C/minute. The cooling rate can be 0.5°C/minute-1.0°C/minute.

The crystal is processed pulled by method described above to polished wafers by using conventional wafering processes.

The wafers from above, which is P type <100> orientation, are cleaned for 20 minutes at 85°C, which is higher temperature than normal process to enhance its etching ability, by using ammonia-based cleaning solution such as NH₄OH/H₂O₂/H₂O (1:1:5).

The cleaning is repeated 10 times. As a result, the etch pits that are 0.1 μm in the size can be counted by a particle counter, which is common in the art.

From above result, no formation of etch pits in the size of 0.2 μm that is the customer requirement to date are observed on the wafer surface.

For example, when a particle counter, which is common in the art, counts particles, 1,000 of etch pits are observed on silicon wafers from conventional Czochralski method after 10 times repeated cleaning by using ammonia-based cleaning solution. On the other hand, particles are 0, that is, no etch pits are observed on the wafers from this invention when same particle counter is used.

⑯ 公開特許公報 (A) 平4-42893

⑩Int.Cl.⁵
C 30 B 29/06
H 01 L 21/208

識別記号
A 7158-4G
E 7158-4G
P 7353-4M

⑪公開 平成4年(1992)2月13日

審査請求 未請求 請求項の数 1 (全3頁)

⑫発明の名称 シリコンウエーハ

⑬特 願 平2-149595
⑭出 願 平2(1990)6月7日

⑮発明者 森田 悅郎 埼玉県大宮市北袋町1丁目297番地 三菱金属株式会社中央研究所内
⑯発明者 岸本 幹男 埼玉県大宮市北袋町1丁目297番地 三菱金属株式会社中央研究所内
⑰発明者 龍田 次郎 埼玉県大宮市北袋町1丁目297番地 三菱金属株式会社中央研究所内
⑱出願人 三菱マテリアル株式会社 東京都千代田区大手町1丁目6番1号
⑲出願人 日本シリコン株式会社 東京都千代田区岩本町3丁目8番16号
⑳代理人 弁理士 桑井 清一 外1名

最終頁に続く

日月 系田 ■■

1. 発明の名称

シリコンウエーハ

2. 特許請求の範囲

CZ法によってシリコン単結晶が引き上げられ、このシリコン単結晶を素材として作成されたシリコンウエーハにおいて、

上記引き上げられたシリコン単結晶を所定の速度で冷却することにより、上記シリコンウエーハを鏡面研磨後アンモニア系洗浄したとき、そのシリコンウエーハの表面に所定大きさ以上のエッチピットが存在しないようにしたことを特徴とするシリコンウエーハ。

3. 発明の詳細な説明

<産業上の利用分野>

本発明はLSI等の作成に用いられるシリコンウエーハ、詳しくはCZ法により引き上げられ、作成されたシリコンウエーハの改良に関する。

<従来の技術>

従来のCZ法によるシリコンウエーハは、引き上げられた単結晶シリコンをスライサーによってスライスして作成されている。この切断されたシリコンウエーハは、ラップまたは研削が行なわれ、さらに加工歪を除去するため、化学的エッティングが行われている。

そして、最終仕上げとして、このシリコンウエーハはその表面が鏡面研磨され、洗浄されている。

<発明が解決しようとする課題>

しかしながら、このようなCZ法により作成した従来のシリコンウエーハにあっては、小さく高密度の欠陥、または、大きく低密度の欠陥のいずれかが、存在していた。これらの欠陥は、鏡面研磨後のアンモニア系洗浄においてその表面にエッチピットとなって表れる。

そして、この欠陥によりシリコンウエーハの電気的特性が損なわれていた。

また、その結果としてシリコンウェーハの製造における歩留まりが低下していた。

そこで、本発明は、電気特性が向上するとともに、製造時の歩留まりを高めたシリコンウェーハを提供することをその目的としている。

〈課題を解決するための手段〉

本発明は、CZ法によってシリコン単結晶が引き上げられ、このシリコン単結晶を素材として作成されたシリコンウェーハにおいて、上記引き上げられたシリコン単結晶を所定の速度で冷却することにより、上記シリコンウェーハを鏡面研磨後アンモニア系洗浄したとき、そのシリコンウェーハの表面に実質的にはエッチビットが存在しないようにしたシリコンウェーハを提供するものである。

〈作用および効果〉

本発明に係るシリコンウェーハにあっては、鏡面研磨後のアンモニア系洗浄においてそのシリコ

間の冷却速度を0.4°C/分より小さい速度に制御する。

そして、このようにして引き上げ形成した高純度の単結晶シリコンを、通常条件のプロセスを用いてウェーハ加工し、研磨する。

このようにして作成したP型、(100)方位のシリコンウェーハをアンモニア系洗浄液、例えばNH₄OH/H₂O₂/H₂O液(1:1:5)を用いて、エッティング作用を強くするために通常よりも高温である85°Cで、20分間程度洗浄する。

この洗浄を10回繰り返す。

この結果、シリコンウェーハの表面においては、例えば現在顧客からの要求レベルでもある直径0.2μm程度の大きさのエッチビットが形成されることはない。

例えば周知のパーティクルカウンタにより測定した場合、従来のCZ法に係るシリコンウェーハではこのアンモニア系洗浄を10回繰り返すことにより、エッチビットが1000個程度確認することができた。これに対して、本実施例では同様

シリコンウェーハの表面には実質上エッチビットは存在しない。すなわち、このシリコンウェーハの表面近傍には上記欠陥が存在しないものである。

そして、このようなエッチビットのないシリコンウェーハを作成するには、CZ法により引き上げたシリコン単結晶を所定の冷却速度で冷却する。例えばシリコン単結晶が1200°Cから800°Cに冷却されるまでの間の全期間にあってその冷却速度を0.4°C/分より小さくしたものである。

この結果、エッチビット、すなわち欠陥のないシリコンウェーハが得られる。よって、電気特性は向上し、かつ、シリコンウェーハの製造上の歩留まりも向上するものである。

〈実施例〉

以下、本発明の実施例を説明する。

この実施例においては、シリコン単結晶の成長には、CZ法が用いられている。

この場合、引き上げられたシリコン単結晶が1200°Cから800°Cにまで冷却されるその全期

の洗浄後の測定では0個、すなわちエッチビットは確認することができなかつたものである。

特許出願人

三菱金属株式会社

代理人

弁理士 桑井 清一(外1名)

第1頁の続き

②発明者 島貫 康 埼玉県大宮市北袋町1丁目297番地 三菱金属株式会社中央研究所内
②発明者 田中 俊郎 東京都千代田区岩本町3丁目8番16号 日本シリコン株式会社内